

DELPHION

Select CR

Stop Tracking

RESEARCH

PRODUCTS

INSIDE DELPHION

Log Out Work Files Saved Searches

My Account

Search: Quick/Number Boolean Advanced Derwent

Help

The Delphion Integrated View

Get Now: ☒ PDF | [More choices...](#)Tools: Add to Work File: ☐ Create new Work File View: INPADOC | Jump to: Top ☒ Email this to a friend

Title: JP2002185873A2: VIDEO SIGNAL OUTPUT DEVICE

Derwent Title: Video signal output device for electronic endoscope, includes CMOS image sensor that generates pixel signal based on external control signal, that is processed to obtain video signals for transmission [Derwent Record](#)

Country: JP Japan

Kind: A2 Document Laid open to Public inspection

Inventor: KIKUCHI NAOKI;

Assignee: ASAHI OPTICAL CO LTD
[News, Profiles, Stocks and More about this company](#)

Published / Filed: 2002-06-28 / 2000-12-13

Application Number: JP2000000378545

IPC Code: H04N 5/335; A61B 1/04; H01L 27/14; H01L 27/146;

Priority Number: 2000-12-13 JP2000000378545

Abstract: PROBLEM TO BE SOLVED: To decrease number of transmission cables used for transmission/ reception of a signal between a CMOS image sensor and an external device.

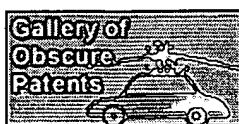
SOLUTION: The CMOS image sensor 11 has an image forming area 22, that generates a pixel signal corresponding to an image formed on a light receiving face and a control signal storage area 23 that is placed at the outside of the image forming area 22. The image forming area 22 generates a pixel signal by an image pickup operation. The control signal storage area 23 stores a control signal to apply white balance adjustment or the like to the pixel signal. The pixel signal is subjected to processing by the control signal in a pixel signal processing circuit 26, and the resulting signal is fed to a microcomputer of an electronic endoscope via the transmission cable as video signal. The microcomputer transmits the control signal to the CMOS image sensor 11 via the transmission cable.

COPYRIGHT: (C)2002,JPO

Family: None

Other Abstract Info: DERABS G2002-562748

BEST AVAILABLE COPY

[Nominate this for the Gallery...](#)

THOMSON

Copyright © 1997-2005 The Thomson Corporation

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)

THIS PAGE BLANK (USPTO)

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2002-185873

(P2002-185873A)

(43)公開日 平成14年6月28日(2002.6.28)

(51)Int.Cl.	識別記号	F I	テ-マ-ト(参考)
H04N 5/335		H04N 5/335	Z 4C061
			E 4M118
A61B 1/04	372	A61B 1/04	372 5C024
H01L 27/14		H01L 27/14	K
27/146			A

審査請求 未請求 請求項の数 6 OL (全 6 頁)

(21)出願番号 特願2000-378545(P2000-378545)

(22)出願日 平成12年12月13日(2000.12.13)

(71)出願人 00000527

旭光学工業株式会社

東京都板橋区前野町2丁目36番9号

(72)発明者 菊地 直樹

東京都板橋区前野町2丁目36番9号 旭光学工業株式会社内

(74)代理人 100090169

弁理士 松浦 孝

Fターム(参考) 4C061 AA00 BB00 CC06 DD00 FF45

JJ20 LL02 NN03 SS30 YY14

4M118 AA10 AB01 BA14 DB20 FA06

5C024 AX01 BX02 CX00 GY31 HX13

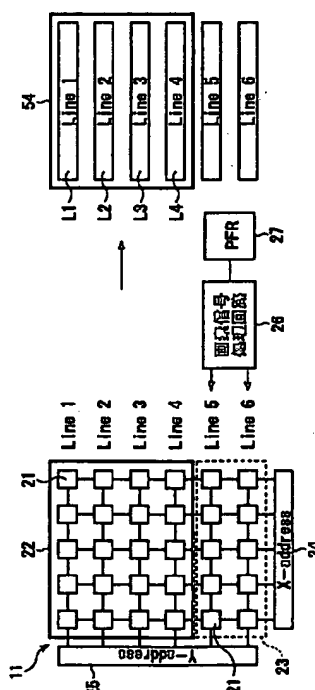
HX55

(54)【発明の名称】 映像信号出力装置

(57)【要約】

【課題】 CMOSイメージセンサと外部装置との信号の授受に用いる伝送ケーブルを削減する。

【解決手段】 CMOSイメージセンサ11は、受光面に結像された画像に対応した画素信号が発生する画像形成領域22と、画像形成領域の外側に配列された制御信号格納領域23とを有する。画像形成領域22には、撮像動作によって画素信号が発生する。制御信号格納領域23には、画素信号に対してホワイトバランス調整等を行うための制御信号が格納される。画素信号は、画素信号処理回路26において、制御信号に従って処理を施され、映像信号として伝送ケーブルを介して電子内視鏡のマイクロコンピュータに伝送される。制御信号は伝送ケーブルを介してマイクロコンピュータからCMOSイメージセンサ11に伝送される。



【特許請求の範囲】

【請求項1】 複数のCMOSが格子状に配列されて構成され、結像された画像に対応した画素信号が発生する画像形成領域と、前記画像形成領域の外側に配列されたCMOSによって構成され、前記画素信号を処理するための制御信号を格納可能な制御信号格納領域とを有するイメージセンサと、

前記画素信号に対して、前記制御信号に応じた処理を施して映像信号を得る画素信号処理手段と、
前記制御信号を外部から入力し、かつ前記映像信号を外部に出力するために設けられた伝送ケーブルとを備えたことを特徴とする映像信号出力装置。

【請求項2】 前記イメージセンサが電子内視鏡に設けられることを特徴とする請求項1に記載の映像信号出力装置。

【請求項3】 前記制御信号格納領域が前記画像形成領域に隣接して設けられ、前記画像形成領域に含まれる1列のCMOSに平行なCMOSの列によって構成されることを特徴とする請求項1に記載の映像信号出力装置。

【請求項4】 前記画像形成領域の1列のCMOSにおいて発生する画素信号と、前記制御信号格納手段の1列のCMOSに格納された制御信号とが、それぞれ1つの水平走査期間毎に外部に出力可能であることを特徴とする請求項3に記載の映像信号出力装置。

【請求項5】 前記制御信号が外部に出力可能な水平走査期間に、前記制御信号が外部から入力されて前記制御信号格納領域に格納可能であることを特徴とする請求項4に記載の映像信号出力装置。

【請求項6】 前記映像信号が外部に出力された後、前記制御信号が外部から入力されることを特徴とする請求項4に記載の映像信号出力装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば電子内視鏡に設けられ、撮像装置として機能するCMOSイメージセンサに関する。

【0002】

【従来の技術】従来電子内視鏡に設けられる撮像装置として、CMOSイメージセンサとCCDが知られている。CMOSイメージセンサは、CCDとは異なり、システムワンチップ化が可能である。したがって、撮像動作により得た画素信号をCMOSイメージセンサのシステム内で処理することができ、モニタ装置等に適合したフォーマットの映像信号として出力することが可能である。

【0003】CMOSイメージセンサのシステムにおいて実行される処理としては、ホワイトバランス調整、ゲインコントロール、ガンマ補正、ビデオ方式へのフォーマット変換等があり、これらの処理内容はCMOSイメージセンサに接続される機器の種類あるいはCMOSイ

メージセンサの使用環境によって異なる。したがって、CMOSイメージセンサにおける処理の実行のために、CMOSイメージセンサに対して外部から、処理内容に対応した制御信号を送送する必要がある。

【0004】

【発明が解決しようとする課題】すなわちCMOSイメージセンサを用いた電子内視鏡では、電源用と、映像信号のモニタ装置等への出力用の伝送ケーブルに加えて、制御信号をCMOSイメージセンサに伝送するための伝送ケーブルが必要である。このため内視鏡の可撓性を細径化するには限界があった。

【0005】本発明は、CMOSイメージセンサと外部装置との信号の授受に用いる伝送ケーブルを削減することを目的としている。

【0006】

【課題を解決するための手段】本発明に係る映像信号出力装置は、複数のCMOSが格子状に配列されて構成され、結像された画像に対応した画素信号が発生する画像形成領域と、画像形成領域の外側に配列されたCMOSによって構成され、画素信号を処理するための制御信号を格納可能な制御信号格納領域とを有するイメージセンサと、画素信号に対して、制御信号に応じた処理を施して映像信号を得る画素信号処理手段と、制御信号を外部から入力し、かつ映像信号を外部に出力するために設けられた伝送ケーブルとを備えたことを特徴としている。

【0007】CMOSイメージセンサは、例えば電子内視鏡の撮像装置として設けられる。これによれば、電子内視鏡の可撓性を細径化することができる。

【0008】制御信号格納領域は画像形成領域に隣接して設けられ、画像形成領域に含まれる1列のCMOSに平行なCMOSの列によって構成されることが好ましい。これによれば、制御信号格納領域からの制御信号の読出制御が簡単になる。

【0009】画像形成領域の1列のCMOSにおいて発生する画素信号と、制御信号格納手段の1列のCMOSに格納された制御信号とは、それぞれ1つの水平走査期間毎に外部に出力可能である。この場合、制御信号が外部に出力可能な水平走査期間に、制御信号が外部から入力されて制御信号格納領域に格納可能であるように構成されることが好ましい。また、この場合、映像信号が外部に出力された後、制御信号が外部から入力される。

【0010】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。図1は電子内視鏡の構成を概略的に示している。電子内視鏡（電子スコープ）は、生体内に挿入される可撓管10と、可撓管10が接続される操作部50とを有する。可撓管10の先端には撮像装置であるCMOSイメージセンサ11が設けられている。

【0011】可撓管10は細長く成形され可撓性を有する管である。可撓管10内には、生体内を照明するため

の光を導くライトガイド12と、送気・送水チャネルあるいは吸引・鉗子チャネル等のチャネル13とが設けられている。

【0012】CMOSイメージセンサ11の受光面には、多数のCMOSが格子状に配列されており、生体内部等の被写体の画像が結像される。各CMOSには画像を構成する画素信号（電圧信号）が発生し、この画素信号は雑音除去、AD変換等の種々の処理を施され、映像信号として操作部50へ転送される。CMOSイメージセンサ11における画素信号の検出動作および種々の処理動作は、クロック発生回路14によって生成されるクロック信号に基づいて行われる。

【0013】操作部50には、CMOSイメージセンサ11の撮像動作と画素信号の処理動作等を制御するためのマイクロコンピュータ（CPU）51が設けられている。CMOSイメージセンサ11とマイクロコンピュータ51は単一の伝送ケーブル15によって接続されている。また操作部50にはモニタ装置52が設けられている。モニタ装置52には、CMOSイメージセンサ11から伝送ケーブル15を介して映像信号が伝送され、画像が表示される。この画像は、操作部50に設けられたシャッターボタン（図示せず）が押されないときはリアルタイムの動画であるが、シャッターボタンが押されたときはそのときの静止画である。

【0014】操作部50には光源53が設けられている。光源53から出射された光はライトガイド12を介して可撓管10の先端から照射される。さらに操作部50には、図示しない電源が設けられており、電源によって発生した電力は電源ケーブル16を介してCMOSイメージセンサ11に供給される。なお電源ケーブル16内には、CMOSイメージセンサ11を接地するためのリード線も設けられている。

【0015】図2はCMOSイメージセンサ11における各CMOSと、モニタ装置52に表示される水平走査線との関係を示している。CMOSイメージセンサ11は、複数のCMOS21が格子状に配列されて構成される。図において実線によって囲まれた矩形部分は、CMOSイメージセンサ11の受光面に結像された画像に対応した画素信号が発生する画像形成領域22である。画像形成領域22の外側に配列されたCMOS21によって構成され、破線によって囲まれた矩形部分は、画素信号を処理するための制御信号を格納するための制御信号格納領域23である。

【0016】CMOS21は図において、横方向に5つ、縦方向に6つ設けられるように示されているが、実際には、横方向および縦方向にそれぞれ数100個設けられている。画像形成領域22の各CMOSには、撮像動作によって画素信号が発生する。画像形成領域22において、横方向に並ぶCMOSの列のうち、1番上に位置する列（Line 1）はモニタ装置の画面54において1

番上に表示され水平方向に並ぶ画素から成る映像信号L1に対応する。同様に、2、3、4番目の列（Line 2, Line 3, Line 4）はモニタ装置の画面54において2、3、4番目の列の映像信号L2、L3、L4にそれぞれ対応する。一方、制御信号格納領域23において、最も画像形成領域22に近接する列（Line 5）とその下側の列（Line 6）のCMOSは、モニタ装置の画面54には表示されない部分に対応しており、これらのCMOSには上述したように制御信号が格納される。

【0017】各CMOS21には、横方向（X方向）および縦方向（Y方向）の位置を特定するためのXアドレス指定回路24およびYアドレス指定回路25がそれぞれ接続されている。アドレス指定回路24、25によって任意のCMOSを指定することができ、例えば、そのCMOSに所定の電圧信号を供給し、あるいはそのCMOSから電圧信号を読み出すことができる。

【0018】画素信号処理回路26には、雑音除去回路、AD変換器およびファンクション・レジスタが設けられており、プログラマブル・ファンクション・レジスタ27が接続されている。プログラマブル・ファンクション・レジスタ27は、操作部50のマイクロコンピュータ51と伝送ケーブル15を介して接続され（図1参照）、マイクロコンピュータ51から伝送されてきたホワイトバランス調整係数等の制御信号が格納される。

【0019】画素信号処理回路26では、アドレス指定回路24、25によって指定されたCMOS21（Line 1～Line 4）から電圧信号である画素信号が入力され、雑音除去回路によって雑音が除去される。その後、画素信号はAD変換器によってデジタル信号に変換され、ファンクション・レジスタによって、ホワイトバランス調整、ゲイン調整およびガンマ補正を施されるとともに、例えばコンポジットビデオ信号の形式の映像信号に変換される。この映像信号は伝送ケーブル15を介してマイクロコンピュータ51に伝送される。

【0020】図3～図5を参照して、CMOSイメージセンサ11からマイクロコンピュータ51とモニタ装置52へ映像信号を伝送する動作と、マイクロコンピュータ51からCMOSイメージセンサ11へ制御信号を伝送する動作を説明する。なお図3、4では、画素信号処理回路26とプログラマブル・ファンクション・レジスタ27は省略されている。

【0021】送信期間は、CMOSイメージセンサ11側から映像信号がマイクロコンピュータ51とモニタ装置52に伝送される動作のみが行われる期間である。CMOSイメージセンサ11では、クロック発生回路14から出力されるクロック信号にしたがって画素信号が読み出され、画素信号処理回路26（図2）において所定の処理を施されて映像信号に変換される。図5に示されるように映像信号L1、L2、・・・は、2つの水平同期信号Hによって区画されている。

【0022】水平同期信号Hと垂直同期信号（図示せず）は同期分離回路55において映像信号L1、L2、・・・から分離される。水平同期信号Hと垂直同期信号は、水平同期信号／垂直同期信号カウンタ56によって計数される。マイクロコンピュータ51では、水平同期信号Hの数をチェックすることによって、何番目の映像信号であるかが特定され、また垂直同期信号を検出することによって、CMOSイメージセンサ11から1画面分の全ての信号が出力されたことが認識される。

【0023】遅延回路57では、水平同期信号Hから一定時間だけ遅れて伝送される1列の映像信号（L1、L2、L3またはL4）のみが抽出され、サンプルホールド回路58において保持される。映像信号は、次の列の映像信号が伝送されてくるまでの間に、モニタ装置52へ転送される。すなわち、映像信号は1つの水平走査期間毎にモニタ装置52に対して出力される。なおカウンタ56によって、信号L5、L6が伝送されてきたと判断されたとき、これらは制御信号であるので、モニタ装置52に転送する必要はなく、マスク回路59によって遮断される。

【0024】このように送信期間において、CMOSイメージセンサ11では送信動作のみが行われ、操作部50では受信動作のみが行われる。

【0025】送受信期間は、CMOSイメージセンサ11側から映像信号L1～L4がマイクロコンピュータ51とモニタ装置52に伝送されるとともに、マイクロコンピュータ51から制御信号L5、L6がプログラマブル・ファンクション・レジスタ27（図2）に伝送される期間である。CMOSイメージセンサ11では、送信期間と同様に画素信号が読み出され、画素信号は画素信号処理回路26において所定の処理を施され映像信号に変換される。

【0026】水平同期信号Hと垂直同期信号は、同期信号分離回路55において映像信号L1、L2・・・から分離される。映像信号L1～L4は、上述したように、遅延回路57（図3）とサンプルホールド回路58（図3）を介してモニタ装置52に転送される。これに対して信号L5、L6のタイミングでは、マイクロコンピュータ51において生成された制御信号が加算器60において水平同期信号Hに加算され、CMOSイメージセンサ11側へ伝送され、プログラマブル・ファンクション・レジスタ27（図2）に格納される。なお、制御信号L5、L6はマスク回路59の作用によりモニタ装置5

2には転送されない。

【0027】制御信号L5、L6はプログラマブル・ファンクション・レジスタ27から読み出されてCMOSイメージセンサ11の制御信号格納領域23に格納され、そのとき画像形成領域22に発生した画素信号に対するホワイトバランス調整等の処理に用いられる。

【0028】以上のように本実施形態では、CMOSイメージセンサ11から読み出される画素信号に対してホワイトバランス調整等の処理を行うための制御信号は、CMOSイメージセンサ11側から映像信号を外部に出力するための伝送ケーブル15を用いてCMOSイメージセンサ11側へ伝送される。すなわち映像信号のモニタ装置等への出力用の伝送ケーブルと、制御信号をCMOSイメージセンサに伝送するための伝送ケーブルを兼用したので電子内視鏡の可撓管を細径化することが可能となる。

【0029】

【発明の効果】以上のように本発明によれば、CMOSイメージセンサと外部装置との信号の授受に用いる伝送ケーブルを削減することができ、本発明を電子内視鏡に適用した場合には、可撓管を細径化することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態を適用した電子内視鏡の構成を概略的に示すブロック図である。

【図2】CMOSイメージセンサにおける各CMOSと、モニタ装置に表示される水平走査線との関係を示す図である。

【図3】CMOSイメージセンサからマイクロコンピュータ側に映像信号を伝送する送信期間の動作を示すブロック図である。

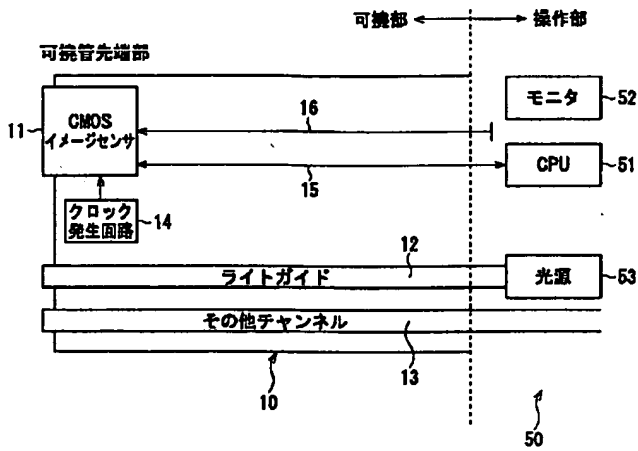
【図4】CMOSイメージセンサからマイクロコンピュータ側に映像信号を伝送し、かつマイクロコンピュータからCMOSイメージセンサ側に制御信号を伝送する送受信期間の動作を示すブロック図である。

【図5】送信期間および送受信期間における映像信号と制御信号を示す図である。

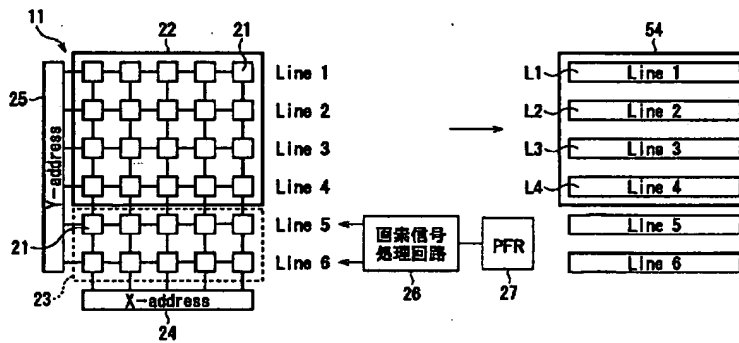
【符号の説明】

11 CMOSイメージセンサ
21 CMOS
22 画像形成領域
23 制御信号格納領域
L1～L4 映像信号
L5、L6 制御信号

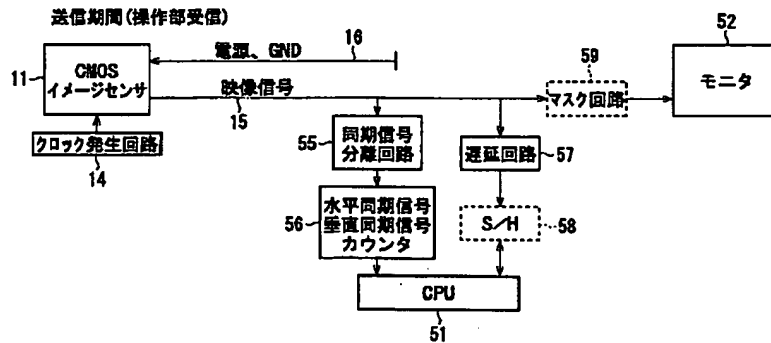
【図 1】



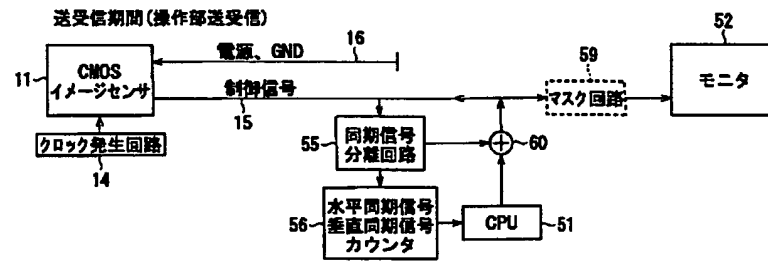
【图2】



【図 3】



【図 4】



【図 5】

